



[12] 发明专利说明书

[21] ZL 专利号 01109356.0

[45] 授权公告日 2005 年 1 月 26 日

[11] 授权公告号 CN 1186816C

[22] 申请日 2001.2.28 [21] 申请号 01109356.0

[71] 专利权人 世界先进积体电路股份有限公司

地址 中国台湾

[72] 发明人 林耿立 柯明道

审查员 朱芳芳

[74] 专利代理机构 北京纪凯知识产权代理有限公司

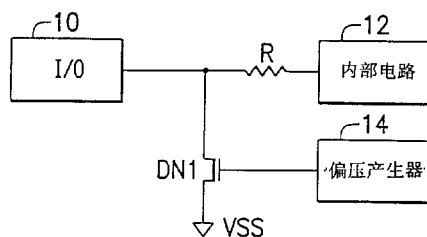
代理人 程 伟

权利要求书 2 页 说明书 7 页 附图 6 页

[54] 发明名称 适用于静电放电防护的电压控制元件及其保护电路

[57] 摘要

本发明提出一种 ESD 防护元件与其相关的电路, 适用于一集成电路, 耦合于一第一接口与一第二接口之间。当一工作电源供给该集成电路电源时, 一偏压产生器提供一偏压电压, 使该防护元件呈现关闭状态。当该工作电源不供给该集成电路电源时, 该防护元件呈现保持导通 (always on) 状态, 可以释放发生于该第一接口与该第二接口之间的一 ESD 事件所产生的电流。



I S S N 1 0 0 8 - 4 2 7 4

1. 一种适用于静电放电防护的电压控制元件的保护系统，其特征是：适用于一集成电路，该集成电路包含有多个接口，该防护系统包含有：

一静电放电汇流线；

多个静电放电防护元件，每一静电放电防护元件连接于一相对应的接口与该静电放电汇流线之间；以及

一偏压产生器，当一工作电源供给该集成电路电源时，用以提供一预置电压，以关闭所述静电放电防护元件；

其中，当该工作电源不供给该集成电路电源时，所述静电放电防护元件呈现保持导通状态，可以释放发生于一接口与另一接口之间的一静电放电事件所产生的电流。

2. 如权利要求 1 所述的适用于静电放电防护的电压控制元件的保护系统，其特征是：其中，所述静电放电防护元件是为一耗尽型金属氧化物半导体晶体管。

3. 如权利要求 2 所述的适用于静电放电防护的电压控制元件的保护系统，其特征是：其中，该空乏型金氧半晶体管是为一埋入式沟道元件。

4. 如权利要求 2 所述的适用于静电放电防护的电压控制元件的保护系统，其特征是：其中，该空乏型金氧半晶体管是为一表面式沟道元件。

5. 如权利要求 2 所述的适用于静电放电防护的电压控制元件的保护系统，其特征是：其中，该空乏型金氧半晶体管是为一 N 型耗尽型金属氧化物半导体晶体管。

6. 如权利要求 2 所述的适用于静电放电防护的电压控制元件的保护系统，其特征是：其中，该空乏型金氧半晶体管是为一 P 型耗尽型金属氧化物半导体晶体管。

7. 如权利要求 2 所述的适用于静电放电防护的电压控制元件的保护系统，其特征是：其中，该预置电压是提供至静电防护元件的控制栅，以关闭静电防护元件。

8. 如权利要求 1 所述的适用于静电放电防护的电压控制元件的保护系统，其特征是：其中，该静电放电汇流线是为一金属线。

9. 如权利要求 1 所述的适用于静电放电防护的电压控制元件的保护系统，其特征是：其中所述任一接口是为一电源接口。

10. 如权利要求 1 所述的适用于静电放电防护的电压控制元件的保护系统，其特征是：其中所述任一接口是为一输出接口。

适用于静电放电防护的电压控制元件及其保护电路

技术领域

本发明是有关于一种静电放电 (electrostatic discharge, ESD) 防护元件以及其相关的 ESD 防护电路与 ESD 防护系统。

背景技术

随著制程技术的进步, ESD 的耐受力已经是集成电路 (integrated circuit, IC) 的可靠度需要主要考虑的问题之一。尤其是半导体制程技术进入深亚微米时代 (deep submicron regime) 后, 缩小尺寸 (scaled down) 的晶体管、较浅的掺杂接面深度、较薄的栅氧化层、轻掺杂的漏极结构 (lightly-doped drain, LDD)、浅沟隔离 (shallow trench isolation, STI) 制程以及金属硅化物 (salicide) 制程等, 对于 ESD 应力而言都是比较脆弱的。因此, 在 IC 的输出入埠便必须设置 ESD 防护电路, 用以保护 IC 中的元件免于遭受 ESD 损害。

图 1A 为一现有的 ESD 防护电路, 是使用一 NMOS (N-type Metal oxide semiconductor transistor) NE 作为主要的 ESD 防护元件。NE 的栅极与源极相接。图 1B 为图 1A 中的 NMOS 晶体管的电压电流曲线图。因为 NE 为一个加强式 (enhance-mode) NMOS, 于一般正常操作时, NE 为关闭状态, 所以外界的电讯信号可以通过输出入 (Input / output) 接口 10 而进入内部电路 12。当一相对于 VSS 为正脉冲的 ESD 事件发生于 I/O 接口 10 时, NE 的漏极电压超过触发电压 V_{trig} , 即为 NE 的漏极 (drain) 与基底 (substrate) 之间的接面崩溃电压, 触发了寄生于 NE 中的双接面晶体管。在 ESD 应力破坏内部电路中的元件之前, 释放 ESD 电流。

然而, 经由一般的 CMOS 制程所制造, NMOS 的漏极与基极之间的接面崩溃电压通常高达 10 多伏特。如此的高电压对于先进的制程所制作出的栅极绝缘层都是难以忍受的。因此, 如何降低触发电压 V_{trig} 便成为此类 ESD 防护电路的主要课题。

图 2A 以及图 2B 为两个现有具有较低触发电压的 NMOS 剖面示意图。利用离子注入，在源极与漏极的 N+ 掺杂区下形成一崩溃触发层（20 或 22）。崩溃触发层（20 或 22）的目的在于形成一个相对于原本 N+ 掺杂层 16 与 P 型基底 18 所形成的 PN 接面更为容易崩溃的 PN 接面，也就是降低了 NMOS 的漏极对基极的崩溃电压。如此，可以加速寄生于 NMOS 的 BJT 的开启时间，避免 ESD 应力破坏了内部电路中的元件。

现有的 ESD 防护电路亦有运用 SCR 来作为主要的 ESD 防护元件。SCR 在一般的工作状态时，呈现关闭的状态。当 ESD 事件发生时，SCR 才会被触发而释放 ESD 电流。而如何降低 SCR 的触发电压 V_t ，往往也是使用 SCR 为防护元件的主要课题。

发明内容

本发明的目的在于提出一种适用于静电放电防护的电压控制元件及其保护电路，该静电放电防护的电压控制元件及其保护电路可以完全不用考虑现有的 ESD 防护元件所要面对的触发电压的问题。

本发明的另一目的在于提出一种适用于静电放电防护的电压控制元件及其保护电路，该静电放电防护的电压控制元件以及其相关电路使整个集成电路的接口，都可获得良好的 ESD 防护。

本发明的目的可以通过以下措施来达到：

一种适用于静电放电防护的电压控制元件，适用于一集成电路，耦合于一第一接口与一第二接口之间，当一工作电源供给该集成电路电源时，该防护元件呈现关闭状态，当该工作电源不供给该集成电路电源时，该防护元件呈现保持导通状态，可以释放发生于该第一接口与该第二接口之间的一静电放电事件所产生的电流。

一种适用于静电放电防护的电压控制元件的保护电路，连接于一第一接口以及一第二接口之间，包含有：

一静电放电防护元件，连接于该第一接口以及该第二接口之间；
以及

一偏压产生器，当一工作电源提供该集成电路电源时，用以控制该静电防护元件呈现关闭状态；

其中，当该工作电源没提供该集成电路时，该静电防护元件为开启状态，可以释放发生于该第一接口与该第二接口之间的一静电放电事件所产生的电流。

一种适用于静电放电防护的电压控制元件的保护系统，适用于一集成电路，该集成电路包含有多个接口 Pad1...padN，该防护系统包含有：

一静电放电汇流线（静电放电 bus line）；

多个静电放电防护元件 D1...DN，每一静电放电防护元件 Dn 连接于一相对应的 Padn 与该静电放电汇流线之间；以及

一偏压产生器，当一工作电源供给该集成电路电源时，用以提供一预置电压，以关闭 N1...DN；

其中，当该工作电源不供给该集成电路电源时，D1...DN 呈现保持导通状态，可以释放发生于一 padx 与一 pady 之间的一静电放电事件所产生的电流。

本发明相比现有技术具有如下优点：

根据上述的目的，本发明提出一种 ESD 防护元件，适用于一集成电路，耦合于一第一接口与一第二接口之间。当一工作电源供给该集成电路电源时，该防护元件呈现关闭状态。当该工作电源不供给该集成电路电源时，该防护元件呈现保持导通（always on）状态，可以释放发生于该第一接口与该第二接口之间的一ESD 事件所产生的电流。

本发明另提出一种适用于一集成电路的 ESD 防护电路，连接于一第一接口以及一第二接口之间。该 ESD 防护电路包含有一ESD 防护元件以及一偏压产生器。该 ESD 防护元件，连接于该第一接口以及该第二接口之间。当一工作电源提供该集成电路电源时，该偏压产生器用以控制该静电防护元件呈现关闭状态。相反的，当该集成电路并未被提供电源时，该静电防护元件为开启（always on）状态，可以释放发生于该第一接口与该第二接口之间的一ESD 事件所产生的电流。

本发明另提出一种 ESD 防护系统，适用于一集成电路。该集成电路包含有多个接口 Pad1...padN 以及多个电源供应垫。该防护系统包含有一ESD 汇流线（ESD bus Line）、多个 ESD 防护元件 D1...DN 以

及一偏压产生器。每一ESD防护元件 D_n 连接于一相对应的 Pad_n 与该ESD 汇流线之间。当一工作电源供给该集成电路电源时，该偏压产生器用以提供一预置电压，以关闭 $D_1 \cdots D_N$ 。当该工作电源不供给该集成电路电源时， $D_1 \cdots D_N$ 呈现保持导通（always conductive）状态，可以释放发生于一 Pad_X 与一 $pady$ 之间的一ESD事件所产生的电流。

本发明中的ESD防护元件可以是P型或N型的空乏式（depletion mode）金属氧化物半导体（Metal oxide semiconductor transistor, MOS）。

本发明的优点在于，ESD电流可以轻易的通过本发明的ESD防护元件而释放。在工作电源尚未接到集成电路时，ESD防护元件总是呈现开启或是导通的状态。因此，在没有工作电源的状态下，ESD电流可以轻易的通过本发明的ESD防护元件而释放。

为使本发明的上述目的、特征和优点能更明显易懂，下文特举一较佳实施例，并配合附图，作详细说明如下：

附图说明

图1A为一现有的ESD防护电路；

图1B为图1A中的NMOS晶体管的电压电流曲线图；

图2A以及图2B为两个现有具有较低触发电压的NMOS剖面示意图；

图3为本发明的一ESD防护电路图；

图4A到图4C为作为本发明的ESD防护元件的埋入式沟道NMOS以及一般NMOS的制程示意图；

图5B到图5C为运用本发明的初级（primary）ESD防护电路或次级（secondary）ESD防护电路。

图6A到图6C为本发明同时运用于I/O接口与VDD/VSS之间的ESD防护电路的三个实施例；

图7为依据本发明，以空乏型PMOS实施一ESD防护电路图；以及

图8为本发明提供的一ESD防护系统示意图。

符号说明

10 输出入接口

12 内部电路

- | | |
|----------------|----------------|
| 14、32 偏压产生器 | |
| 16 N+掺杂区 | 18 P型基底 |
| 19 本发明的ESD防护电路 | 20、22 崩溃触发层 |
| 24、42 空乏型NMOS | 26 埋入式沟道 |
| 28 光阻层 | 30 场氧化层 |
| 40 ESD汇流线 | 60 一般的NMOS元件区域 |
| 62 空乏型NMOS元件区域 | |

具体实施方式

图3为本发明的一ESD防护电路图。本发明的ESD防护电路19设于一集成电路中，包含有一空乏型的NMOS DN 24作为主要的ESD防护元件，以及一偏压产生器14。DN 24的漏极与源极分别耦合到I/O接口10与Vss。DN 24的栅极受偏压产生器14控制。

当一工作电源供应给集成电路时，偏压产生器14会产生一个低于Vss的电压，用来关闭DN 24。此时，I/O接口10上的电讯信号便可以进入内部电路12，进行正常的操作。

当工作电源没有供应给集成电路时，DN 24的栅极的偏压为0。由于空乏型NMOS的临界电压(threshold voltage)是低于0伏特。因此，DN 24总是呈现开启或是导通的状态。换句话说，当没有工作电源时，I/O接口10与Vss之间挂上了一个等效的电阻。任何在I/O接口与Vss之间的应力，都可以使此等效电阻产生导通电流。当然的，于ESD事件时，此等效电阻更可以有效的释放ESD电流，达到保护内部电路12的目的。

ND 24可以为表面型通道的MOS或是埋入式沟道的MOS对ESD防护而言，埋入式沟道的MOS相对的将会是比较好的选择，因为其具有比较宽大的电流导通路径，可以较有效的散发ESD事件时所产生的能量。

图4A到图4C为作为ESD防护元件的埋入式沟道NMOS以及一般NMOS的制程示意图。左半边为一般的NMOS元件60，右半边为本发明所使用的空乏型NMOS元件62。在一般的CMOS制程流程中，都有调整NMOS临界电压(Vt)的离子注入制程。因此，可以利用Vt

注入时所使用的阻光层 28a 将 ESD 防护元件的区域 62 遮蔽,而对一般的 NMOS 元件的区域 60 进行离子注入,如图 4A 所示。制程中可以加入一道 ESD 离子注入制程以及相关的微影制程,利用阻光层 28b 将一般的 NMOS 区域 60 挡住,对 ESD 防护元件的区域 62 进行离子注入,如图 4B 所示。之后,在 P 基底的表面上形成栅结构以及 LDD 结构的源 / 漏极,使一般的 NMOS 以及作为 ESD 防护用的 NMOS 趋于完整,如图 4C 所示。ESD 离子注入制程中的注入能量以及浓度可以调整 ESD 防护用的 NMOS 的临界电压以及其通道深度。只要适当的控制 ESD 离子注入制程,便可以同时形成空乏式 NMOS 以及埋入式沟道 NMOS。如图 4C 所示,ESD 防护用的 NMOS 的导电通道 26 位于表面之下,所以称为埋入式沟道 NMOS;而一般的 NMOS 是表面式沟道 NMOS。

空乏型 NMOS 可以使用于初级(primary)ESD 防护电路或是次级(secondary)ESD 防护电路。如图 5A 到图 5C 所示。

图 5A 为本发明的空乏型 NMOS 使用于初级 ESD 防护电路的示意图。初级 ESD 防护电路必须直接耦合到一个接口,图 5A 中的 DN1 的漏极直接耦合到 I/O 接口 10,而 I/O 接口 10 与内部电路 12 之间串有一电阻 R。当集成电路没有接上工作电源时,DN1 为导通状态。 V_{ss} 接地时,不论是在 I/O 接口 10 上为正或负的 ESD 脉冲,ESD 电流可以通过导通的 DN1 加以释放。当集成电路接上工作电压时,偏压产生器 14 提供一低于 V_{ss} 的负电压以关闭 DN1。I/O 接口 10 上的信号可以进入内部电路 12。

图 5B 为将本发明运用于次级 ESD 防护电路的示意图。初级 ESD 防护电路是以一个栅极耦合到源极的加强式 NMOS EN1 所构成。电阻 R 连接在 I/O 接口 10 与作为次级 ESD 防护电路的空乏式 NMOS DN2 之间。DN2 可以分担一些 EN1 于 ESD 事件时的电流,并具有极低的导通电压,因此可以更为有效地保护内部电路。

图 5C 为将本发明同时运用于初级与次级 ESD 防护电路的示意图。初级 ESD 防护电路使用了空乏式 NMOS DN1,而次级 ESD 防护电路则使用了空乏式 NMOS DN2。DN1 与 DN2 的栅极均受偏压产生器 14 控制,确保工作电源提供集成电路电源时,DN1 与 DN2 都是关闭状态。

除了提供 I/O 接口 10 到 V_{ss} 之间的 ESD 防护外,相同的概念,

本发明亦可同时提供 I/O 接口 10 到 VDD 与 VSS 之间的 ESD 防护。请参阅图 6A 到图 6C，图 6A 到图 6C 为本发明运用于 I/O 接口到 VDD 与 VSS 之间的 ESD 防护电路的三个实施例。空乏式 NMOS DNH 连接于 VDD 与 I/O 接口 10 之间，其栅极受偏压产生器 14 的控制。没有工作电源时，可以释放 I/O 接口 10 到 VDD 之间的 ESD 电流。有工作电源时，DNH 为关闭状态。

除了运用空乏式 NMOS 之外，本发明亦可以运用空乏式 PMOS 作为 ESD 防护元件，如图 7 所示。图 7 类似图 3。空乏式 PMOS DPL 连接于 I/O 接口 10 与 VSS 之间，其栅极受偏压产生器 32 的控制。一样的，没有工作电源供电时，DPL 呈现导通的状态，可以释放 ESD 电流。而有工作电源供电时，偏压产生器 32 提供一个高于工作电源的最高电压（一般为 VDD）的电压，使 DPL 关闭。

相同的道理，图 5 以及图 6 中的空乏式 NMOS 均可以换成空乏式 PMOS。只是偏压产生器，在有工作电源供电时，所提供的电压由低于 VSS 的电压，改成高于 VDD 的电压。

图 8 为本发明所提供的 ESD 防护系统示意图。集成电路包含有多个接口，其中可能包含有输出接口 I/O1、I/O2...、VDD1、VDD2...、VSS1、VSS2...等等。ESD 防护系统使用了一个 ESD 汇流线 (bus line) 40。多个空乏型 NMOS DN1-DNn 分别连接在接口与 ESD 汇流线 40 之间。ESD 汇流线一般是以一宽大的金属线，环绕整个集成电路晶片所构成，以方便连接到大部分的接口。

譬如说，当一 ESD 事件发生于接口 I/O1 以及 I/O2 之间时，ESD 电流将会通过相连的 DN1、DN2 以及 ESD 汇流线而释放，以保护集成电路中的元件。当工作电源正常供电时，DN1-DNn 的栅极都接受偏压产生器 14 所产生的负电压而呈现关闭的状态。因此，每个接口都可以正常的运作。

本发明虽以较佳实施例揭露如上，然其并非用以限定本发明，任何熟习此项技艺者，在不脱离本发明的精神和范围内，当可做少量的更动与润饰，因此本发明的保护范围当视后附的权利要求保护范围为准。

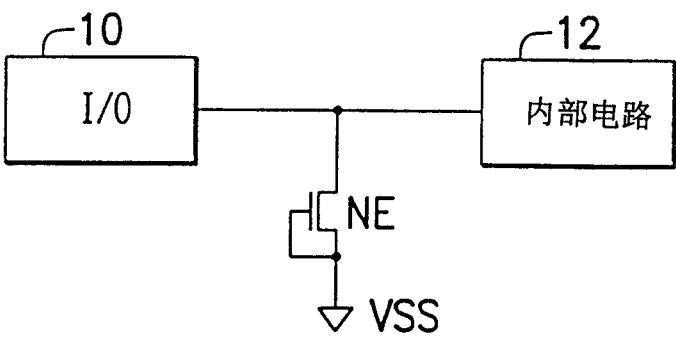


图 1A

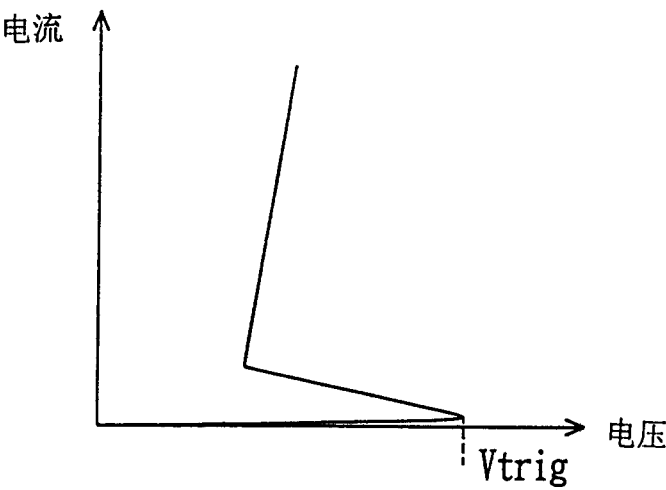


图 1B

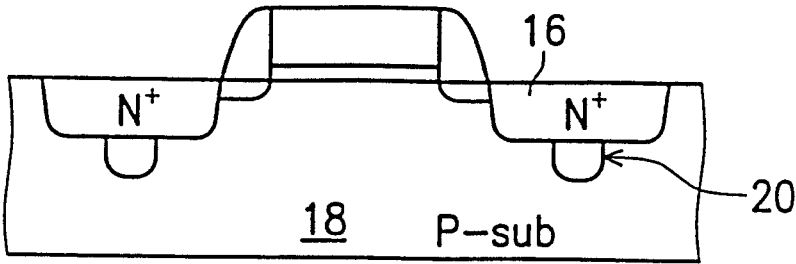


图 2A

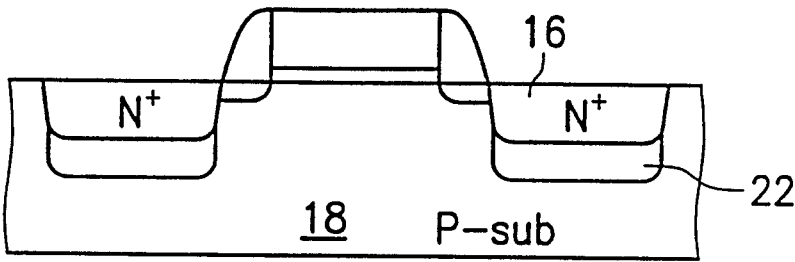


图 2B

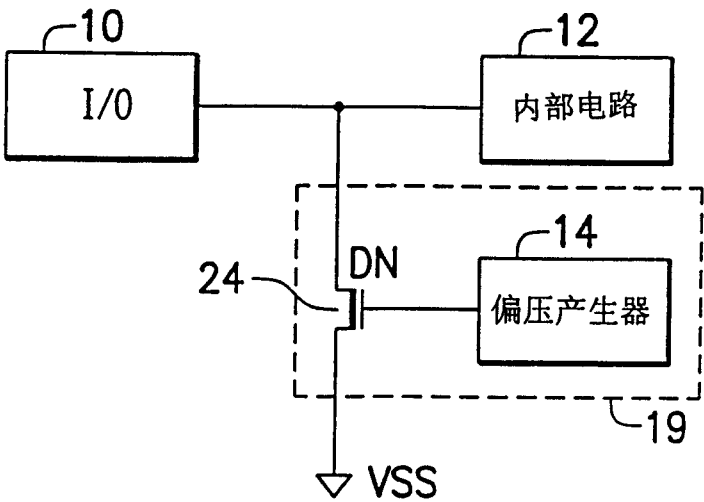


图 3

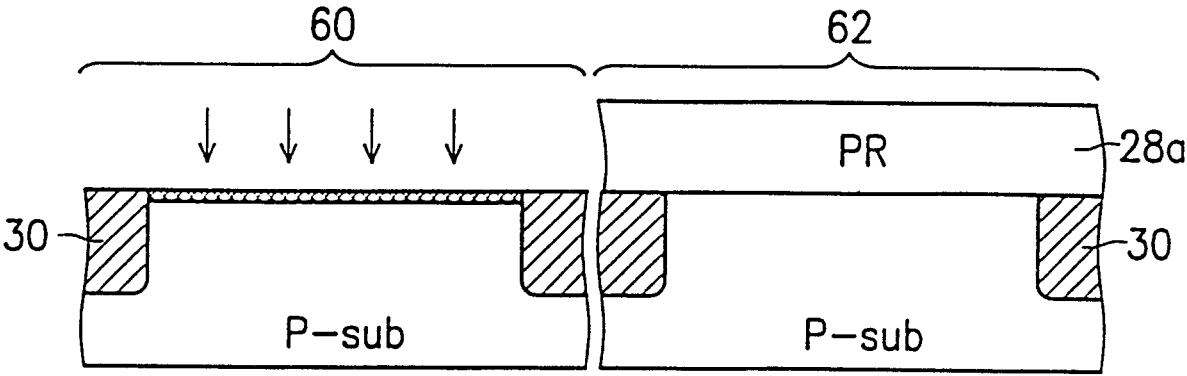


图 4A

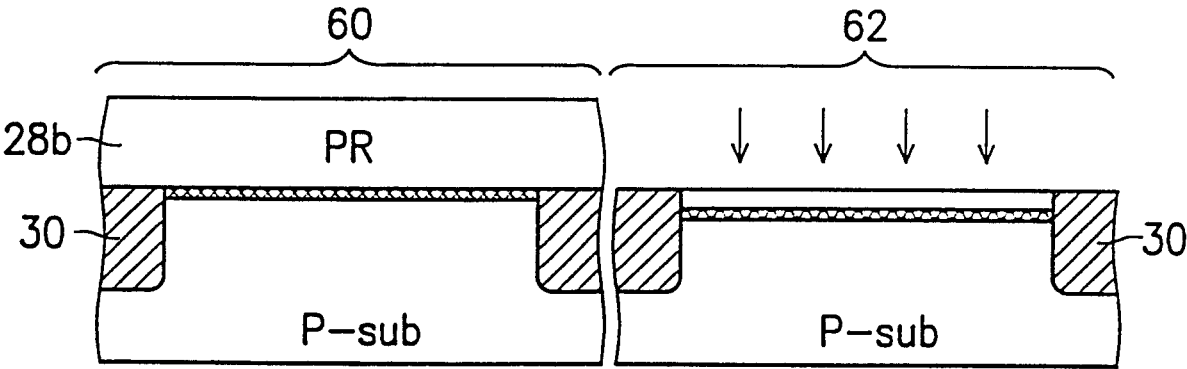


图 4B

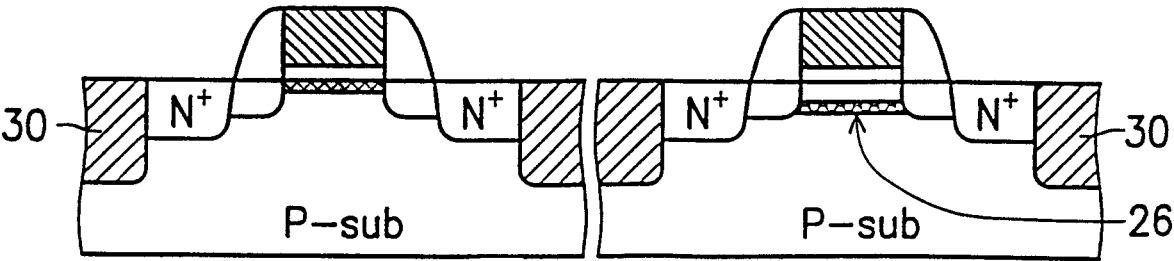


图 4C

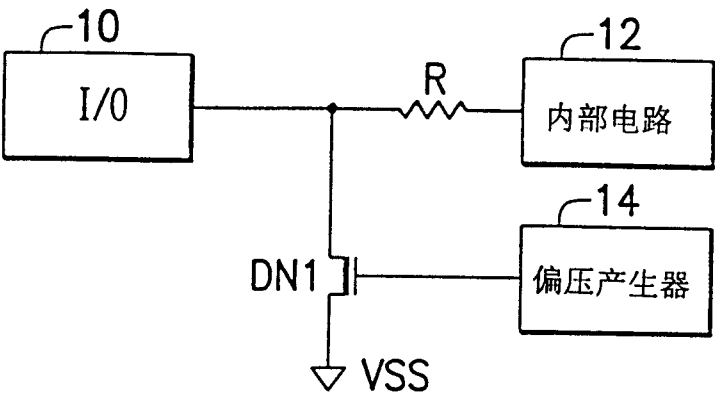


图 5A

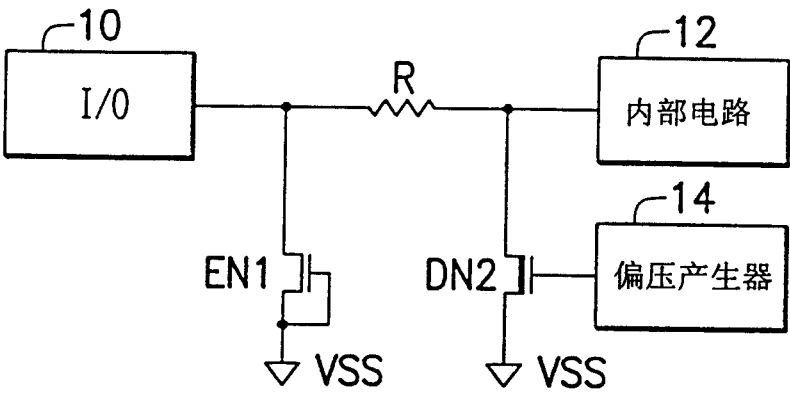


图 5B

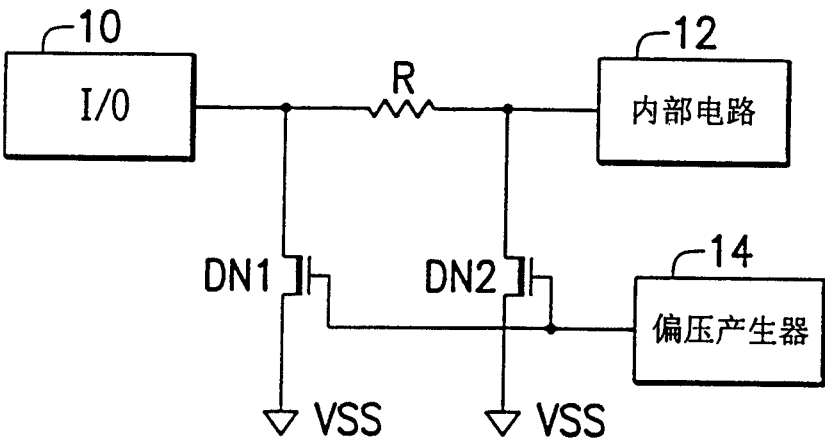


图 5C

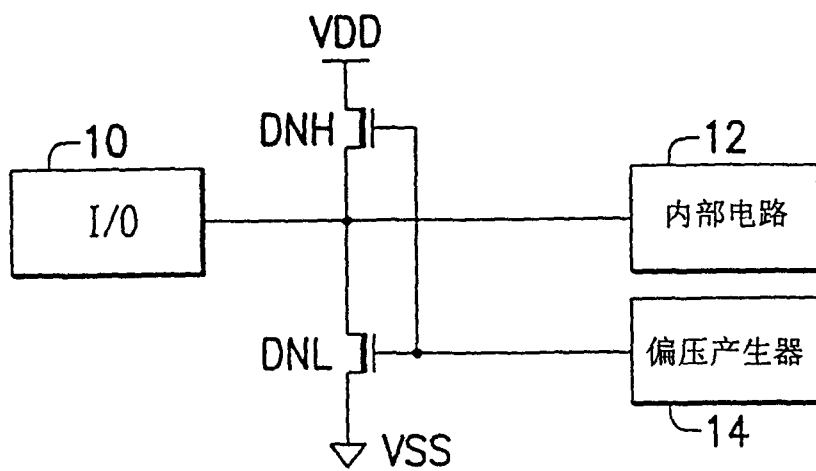


图 6A

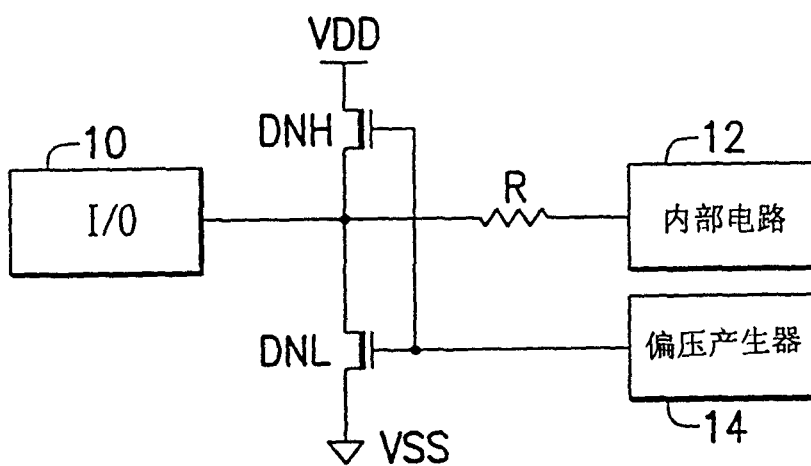


图 6B

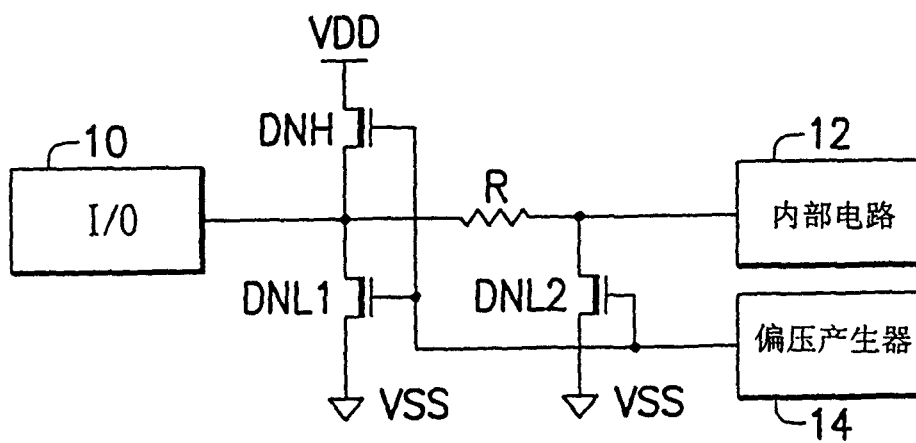


图 6C

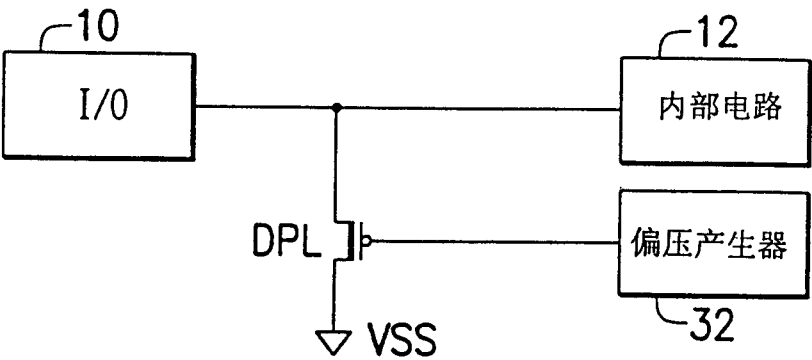


图 7

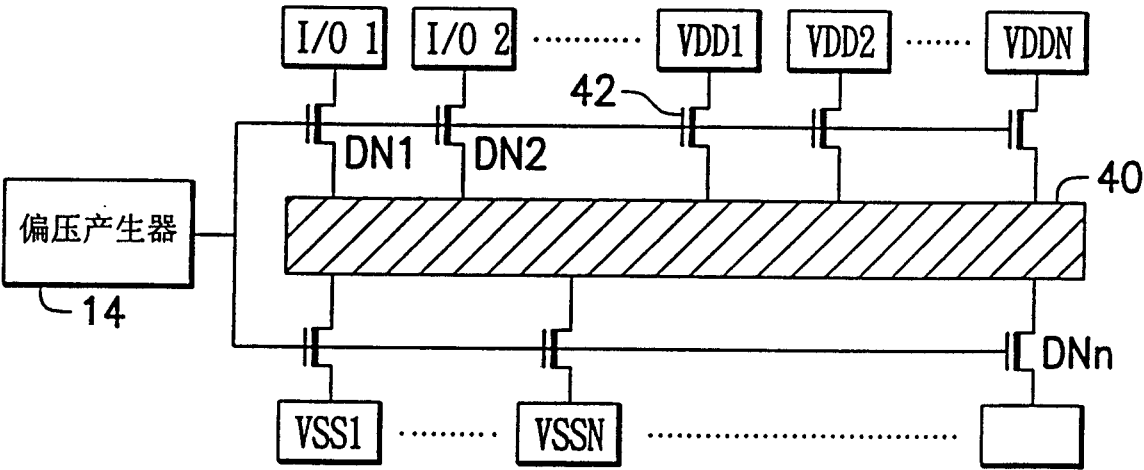


图 8